

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3204986号

(P3204986)

(45) 発行日 平成13年 9 月 4 日 (2001. 9. 4)

(24) 登録日 平成13年 6 月 29 日 (2001. 6. 29)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/20  
G 0 2 F 1/1368  
H 0 1 L 21/336  
29/786

H 0 1 L 21/20  
G 0 2 F 1/136 5 0 0  
H 0 1 L 29/78 6 2 7 G

請求項の数60(全 11 頁)

(21) 出願番号 特願平9-542270

(86) (22) 出願日 平成8年5月28日(1996. 5. 28)

(65) 公表番号 特表2000-505241(P2000-505241A)

(43) 公表日 平成12年4月25日(2000. 4. 25)

(86) 国際出願番号 P C T / U S 9 6 / 0 7 7 3 0

(87) 国際公開番号 W O 9 7 / 4 5 8 2 7

(87) 国際公開日 平成9年12月4日(1997. 12. 4)

審査請求日 平成11年5月6日(1999. 5. 6)

早期審査対象出願

(73) 特許権者 999999999

ザ トラスティース オブ コロンビア  
ユニヴァーシティ イン ザ シティ  
オブ ニューヨーク  
アメリカ合衆国 ニューヨーク州  
10027-6699 ニューヨーク ブロード  
ウェイ アンド ワンハンドレッドシッ  
クステーションズ ストリート (番地な  
し)

(74) 代理人 999999999

弁理士 杉村 暁秀 (外5名)

審査官 宮崎 園子

最終頁に続く

(54) 【発明の名称】 基板上の半導体膜領域の結晶化処理及びこの方法により製造されたデバイス

(57) 【特許請求の範囲】

【請求項1】 支持された半導体材料の膜の横方向に延在する部分として多結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用いて、後側に位置する放射透過性の基板と、基板上の第1の半導体膜と、第1の半導体膜上の耐熱性の膜と、耐熱性の膜上の第2の半導体膜とを具える構造体の前側及び後側から同時に露光し、前記横方向に延在する部分を含む半導体膜の横方向に延在する領域の全ての半導体材料を溶融し、同時に露光の後、前記領域の境界から横方向に凝固させることにより、多結晶の微細構造体を前記領域に形成する多結晶領域の形成方法。

【請求項2】 請求項1に記載の方法において、前記領域が平行な縁部により範囲が規定されている方法。

【請求項3】 請求項2に記載の方法において、前記平行な縁部が、同時に生ずる横方向からの凝固により前記領域の全体が結晶化する距離だけ離間している方法。

【請求項4】 請求項1に記載の方法において、前記半導体材料がシリコンで構成される方法。

【請求項5】 請求項1に記載の方法において、前記耐熱層がほぼSiO<sub>2</sub>で構成されている方法。

【請求項6】 請求項1に記載の本発明において、前記基板をガラス基板とした方法。

【請求項7】 請求項1に記載の本発明において、前記基板を水晶基板とした方法。

【請求項8】 請求項1に記載の方法において、前記横方向に延在する部分が前記第1の半導体膜にある方法。

【請求項9】 請求項1に記載の方法において、前記横方向に延在する部分が前記第2の半導体膜にある方法。

【請求項10】請求項1に記載の方法において、前記領域がマスクパターンにより規定された形状を有する方法。

【請求項11】請求項10に記載の方法において、前記マスクパターンが投影される方法。

【請求項12】請求項10に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

【請求項13】請求項10に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

【請求項14】請求項1に記載の方法において、前記放射がレーザ放射により構成される方法。

【請求項15】請求項1に記載の方法において、前記領域がカプセル化されている方法。

【請求項16】支持基板上の請求項1に記載の方法により処理された半導体膜。

【請求項17】支持基板上の、請求項1に記載の方法により処理された半導体膜で構成される複数の半導体デバイス。

【請求項18】支持基板上の、少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている薄膜トランジスタを有する集積回路。

【請求項19】少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。

【請求項20】少なくともアクティブチャネル領域が請求項1に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

【請求項21】基板上の半導体材料の膜に横方向に延在する結晶領域を形成するに当たり、半導体材料中に熱を誘導するパルス状の放射を用い、前記半導体膜の一部部分を露光して前記半導体膜の部分の半導体材料を全体として熔融させ、当該部分の熔融した半導体材料を凝固させ、前記部分を、第1のサブ部分と、この第1のサブ部分と連続する第2のサブ部分と、第2のサブ部分と連続する第3のサブ部分とを含むような形態とし、前記第1のサブ部分が、その境界部で半導体結晶に凝固する形態を有し、前記第2の部分が、1個の凝固した結晶が前記第1のサブ部分から第2のサブ部分を経て第3のサブ部分に成長する形態を有し、前記第3のサブ部分が、1個の結晶が全体として前記第3のサブ部分を占める形態を有する結晶領域の形成方法。

【請求項22】請求項21に記載の方法において、前記第1のサブ部分が、複数の半導体結晶に凝固するアイランド部分の形態を有する方法。

【請求項23】請求項21に記載の方法において、前記第2のサブ部分の形態が、前記第1のサブ部分と第3のサ

ブ部分との間の直線状の経路を構成する方法。

【請求項24】請求項21に記載の方法において、前記半導体材料がシリコンで構成される方法。

【請求項25】請求項21に記載の方法において、前記基板が加熱される方法。

【請求項26】請求項21に記載の方法において、前記基板をガラス基板とした方法。

【請求項27】請求項21に記載の方法において、前記基板を水晶基板とした方法。

【請求項28】請求項21に記載の方法において、前記パルス状の放射を前記半導体膜の後側及び前側に投射する方法。

【請求項29】請求項21に記載の方法において、前記半導体膜が、100nmを超えない厚さを有する方法。

【請求項30】請求項22に記載の方法において、前記アイランド部分がマスクパターンにより規定される形状を有する方法。

【請求項31】請求項30に記載の方法において、前記マスクパターンが投影される方法。

【請求項32】請求項30に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

【請求項33】請求項30に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

【請求項34】請求項21に記載の方法において、前記放射がレーザ放射により構成される方法。

【請求項35】請求項21に記載の方法において、前記領域がカプセル化されている方法。

【請求項36】支持基板上の、請求項21に記載の方法により処理された半導体膜。

【請求項37】支持基板上の、請求項21に記載の方法により処理された半導体膜で構成される含む半導体デバイス。

【請求項38】支持基板上の、少なくともアクティブチャネル領域が請求項21に記載の方法により処理されている薄膜トランジスタを有する集積回路。

【請求項39】少なくともアクティブチャネル領域が請求項21に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。

【請求項40】少なくともアクティブチャネル領域が請求項21に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

【請求項41】基板上の半導体材料の膜に横方向に延在する結晶領域を形成するに当たり、

(a) 半導体材料中に熱を誘導するパルス状の放射を用い、前記半導体材料膜の第1の部分を露光してその厚さ方向の全体にわたって第1の部分の半導体材料を熔融し、

(b) 前記第1の部分の半導体を凝固させ、前記第1の部分の境界側の区域に少なくとも1個の半導体結晶を形

成し、この第1の部分に次に行なう処理に対する直前の部分とし、

（c）前記直前の部分からステップ移動方向にステップ移動すると共に前記少なくとも1個の半導体結晶と部分的に重なり合う別の部分を露光し、

（d）前記別の部分の溶融した半導体材料を凝固させ、半導体結晶をステップ移動方向に成長させることにより半導体結晶を拡大させ、

（e）工程（c）と（d）の組合せを繰り返し、所望の結晶領域が形成されるまで、各工程の別の部分を次の工程に対する直前の部分とする方法。

【請求項42】請求項41に記載の方法において、前記露光される部分を細条とした方法。

【請求項43】請求項42に記載の方法において、前記細条が縁部間の幅を有し、縁部からの横方向の同時凝固により前記細条全体が凝固しない方法。

【請求項44】請求項41に記載の方法において、前記半導体材料をシリコンで構成した方法。

【請求項45】請求項41に記載の方法において、前記露光される部分を山形とした方法。

【請求項46】請求項41に記載の方法において、前記基板をガラス基板とした方法。

【請求項47】請求項41に記載の方法において、前記基板を水晶基板とした方法。

【請求項48】請求項41に記載の方法において、前記横方向に延在する結晶領域が、半導体材料の膜をパターンニングすることにより規定される方法。

【請求項49】請求項48に記載の方法において、前記膜のパターンが、テイル部分と、このテイル部分に連続するボトルネック部分と、このボトルネック部分と連続する主アイランド部分とを有し、前膜の放射ビームパルスにより露光される第1部分を前記テイル部分とし、前記露光される別の部分が前記ボトルネック部分及び次に主アイランド部分を通るステップ移動方向に位置する方法。

【請求項50】請求項41に記載の方法において、前記露光される部分がマスクパターンにより規定される方法。

【請求項51】請求項50に記載の方法において、前記マスクパターンが投影される方法。

【請求項52】請求項50に記載の方法において、前記マスクパターンが近接マスクにより規定される方法。

【請求項53】請求項50に記載の方法において、前記マスクパターンが接触マスクにより規定される方法。

【請求項54】請求項41に記載の方法において、前記放射がレーザ放射により構成される方法。

【請求項55】請求項41に記載の方法において、前記領域がカプセル化されている方法。

【請求項56】支持基板上の、請求項41に記載の方法により処理された半導体膜。

【請求項57】支持基板上の、請求項41に記載の方法に

より処理された半導体膜で構成される複数の半導体デバイス。

【請求項58】支持基板上の、少なくともアクティブチャネル領域が請求項41に記載の方法により処理されている薄膜トランジスタを有する集積回路。

【請求項59】少なくともアクティブチャネル領域が請求項41に記載の方法により処理されている複数の画素コントローラ薄膜トランジスタを具える液晶表示装置。

【請求項60】少なくともアクティブチャネル領域が請求項41に記載の方法により処理されている複数の薄膜トランジスタを具える画素ドライバ集積回路を有する液晶表示装置。

【発明の詳細な説明】

技術分野

本発明は、半導体集積化デバイス用の半導体材料の処理方法に関するものである。

発明の背景

半導体デバイスは例えば水晶又はガラスの基板上のシリコンの層又は膜に形成することができる。この技術はイメージセンサ及びアクティブマトリックス液晶表示装置（AMLCD）のデバイスの製造に用いられる。後者の場合、適切に透明な基板上の薄膜トランジスタ（TFT）の規則的なアレイにおいて、各トランジスタは画素コントローラとして作用する。市販されているAMLCDデバイスにおいて、薄膜トランジスタは水和したアモルファスシリコン膜に形成される（a-Si:H TFT）。

TFTのスイッチング特性を増強するため、アモルファスシリコンの代わりに多結晶シリコンが用いられている。多結晶構造体は、例えば堆積しているアモルファス又は微結晶シリコン膜をエキシマレーザで結晶化（ELC）することにより得られる。

しかしながら、ランダムに結晶化している多結晶シリコンを用いる場合、満足されない結果が生じてしまう。小さな粒子のポリシリコンの場合、例えばTFTのアクティブチャネル領域において多数の大きな角度の粒子境界によりデバイス性能が制限されてしまう。大粒子のポリシリコンはこの点に関しては優れているが、あるTFTに別のTFTと比べて顕著な粒子構造の不規則性が存在するとTFTアレイにデバイス特性の不均一性が生じてしまう。

発明の概要

デバイス特性及びデバイスの不均一性を改善するため、基板上の半導体膜に横方向に凝固させる技術を適用する。この人為的に制御されるスーパーラテラル成長（ACSLG）と称せられる技術は、例えばレーザビームパルスのような適当な放射パルスにより膜の一部を露光し、膜をその全厚さにわたって局部的に溶融することを含む。溶融した半導体材料が凝固すると、膜の予め定めた完全に溶融しなかった部分から結晶構造が成長する。

この技術の第1の好適な実施例において、露光される

構造体は基板により支持された第1の半導体膜、第1の半導体膜上の耐熱性膜、及び耐熱性膜上の第2の半導体膜を含む。この実施例において、構造体の前側及び後側の両方をパルスで露光する。

好適な第2の実施例において、横方向の凝固は、第1の領域からくびれた第2の領域を経てデバイス領域として意図した第3の領域へ進行する。この実施例では、基板を介して加熱する領域と関連して一方の側からの露光を用いる。

好適な第3の実施例において、ビームを繰り返し照射し、放射パターンを横方向にステップ移動させて熔融及び凝固を繰り返すことにより拡大した単一結晶領域を形成する。

有益なものとして、この技術は高速液晶表示装置の製造に用いることができ、その製造においては画素コントローラ及び／又はドライバ回路は単一結晶として又は規則的な／準規則的な多結晶膜として形成する。別の用途として、イメージセンサ、スタティックランダムアクセスメモリ（SRAM）、シリコンオンインシュレータ（SOI）デバイス、及び3次元集積化回路デバイスが含まれる。

#### 図面の簡単な説明

図1はこの技術の第1実施例として用いることができる投影露光装置の線図である。

図2は第1実施例のためのサンプル構造体の拡大した線図的側面図である。

図3A及び3Bは第1実施例の半導体材料に形成することができるTFTデバイスの微細構造体の拡大した線図的上面図である。

図4はこの技術の第2の実施例で用いることができる露光装置の線図である。

図5は第2実施例のサンプル構造体の拡大した線図的側面図である。

図6A～6Dは順次の処理工程における図5のサンプル構造体の線図的上面図である。

図7は第3実施例に用いることができる露光装置の線図である。

図8は第3実施例のサンプル構造体の拡大した線図的側面図である。

図9A～9Fは処理の第1の変形例の第1の形式の順次の工程における図8のサンプル構造体の線図的側面図である。

図10A～10Fは処理の第1の変形例の第2の形式の順次の工程における図8のサンプル構造体の線図的側面図である。

図11A～11Cは処理の第2の変形例の順次の工程におけるサンプル構造体の線図的側面図である。

図12はTFTが含まれている液晶表示装置の線図的上面図である。

#### 好適実施例の説明

以下において実験的に実現された特有の実施例及びその変形例について説明する。明示的又は内在的な数個の変形例は実施例と共通し、さらに請求の範囲内において別の変形例が当業者にとって自明である。例えば、ゲルマニウム、シリコン-ゲルマニウム、ゲルマニウム砒素又はインジウム燐のようなシリコン以外の半導体材料を用いることを含むものである。処理条件下における安定性、不活性及び耐熱性について考慮された例えばシリコン、水晶、ガラス又はプラスチックのような適切な材料の基板を用いることも含むものである。例えば電子ビーム又はイオンビームのようなレーザビーム以外の放射ビームを用いることも含む。

#### 第1実施例

図1の投影露光装置は、エキシマレーザ11、ミラー12、ビームスプリッタ13、可変焦点視野レンズ14、パターン化された投影マスク15、2個の素子の結像レンズ16、サンプルステージ17、可変減衰器18、及び収束レンズ19を含んでいる。この投影装置を用いることにより、ステージ17上のサンプル10の前側面及び後側面に同時に放射パルスを供給することができる。

この技術の第1実施例の場合、図2に示すように、透明基板20、第1のアモルファスシリコン膜21、 $\text{SiO}_2$ 膜22、及び第2のアモルファスシリコン膜23を含む「二重層」（DL）サンプル構造体を用意した。アモルファスシリコン膜の膜厚は100nmとし、 $\text{SiO}_2$ 膜の膜厚は500nmとした。例えば窒素シリコン又は高温ガラスのような別の耐熱性材料を膜22に用いることができる。

第2のすなわち頂部シリコン膜23上にパターン投影を行い第1のすなわち底部シリコン膜21にブロードなビーム照射を行うと、第1のシリコン膜21は含まれる犠牲層として調整され、頂部シリコン膜23における横方向の結晶化速度を最大にすることができる。これらの膜の役割は、パターンを基板を介して第1の膜上に投影する場合、反転させることができる。パターンが投影された膜において、横方向に凝固した粒子が形成され、例えばTFT用に良好に適合した処理膜が形成される。

図2に基づく構造体は、アモルファス-シリコン、 $\text{SiO}_2$ トラックアモルファス-シリコンを水晶基板上に順次低圧化学気相堆積することにより用意される。アモルファス又は微結晶堆積する別の適切な堆積方法には、例えばプラズマエンハンスド化学気相堆積（PECVD）、蒸着、又はスパッタリングが含まれる。

サンプルは図1の投影露光装置のステージ17上に配置される。マスク15は、10～100 $\mu\text{m}$ の種々の分離距離で50 $\mu\text{m}$ 幅の簡単な細条のパターンを有する。

マスクパターンは3～6の範囲の種々の縮小倍率でサンプル上に投影する。後ろ側のエネルギー密度は可変減衰器18により制御する。サンプルは308nmの波長の30ns $\text{XeCl}$ エキシマレーザを用いて室温で照射され、この波長域において水晶は透明である。このレーザは、 $\text{LambdaPh}$

ysik Compex 301の商品名で市販されている。ガラス基板の場合、例えば348nmのようなより長い波長が必要である。

ビーム照射は固定された前側エネルギー密度及び種々の後側エネルギー密度で行う。評価した前側エネルギー密度はサンプル面で約1.0J/cm<sup>2</sup>である。後側エネルギー密度は170~608mJ/cm<sup>2</sup>である。

照射に続いて試験を行うため、膜全体をセコ (Secco) エッチ剤を用いて欠陥エッチングを行い、走査型電子顕微鏡 (SEM) を用いて試験を行った。最も大きな不均一な粒子は510mJ/cm<sup>2</sup>の後側エネルギー密度の場合に得られた。これらの粒子は細条状領域の2個の側から横方向に成長し、細条の中心線上に良好に規定された粒子境界で2本の粒子列を形成している。

生じた個別の結晶体がTFTのアクティブチャネル領域全体を形成するのに十分でない場合でも、この結晶体は例えば図3A又は図3Bに図示するようなTFTのアクティブチャネル領域として作用できる規則的な又は準規則的な多結晶構造体を形成する。ソース電極31、ドレイン電極32ゲート電極33及びアクティブチャネル領域34を示す。図3Aにおいて、アクティブチャネル領域は、上述したようにして生成された両方の粒子列を含む。図3Bのような十分な大きな粒子の場合、アクティブチャネル領域は粒子の単一列として形成することができる。

第1の実施例による処理方法において、底部犠牲層21の役割は、ビームにより加熱する場合エネルギーを蓄積する加熱サセプタの役割として理解することができ、最大の効果はこの膜が熔融する場合に得られる。蓄積した熱は凝固中に解放される。これにより、頂部膜23が伝導により熱を喪失する程度が低減される。従って、最大の利点を得るためには、露光される構造体を適切な寸法にすることが重要である。SiO<sub>2</sub>膜22が薄過ぎる場合、シリコン膜21及び23の放熱は一緒になってしまい、膜21を形成することによる利点を得られない。他方において、膜22が物理的なプロセスの熱拡散距離に対して厚過ぎる場合、膜21が頂部膜23の変換に対して不十分に作用することになる。底部膜21に関して、その厚さは、この膜が十分な熱量を有するように選択する必要がある。しかし、膜21がより厚い場合、この膜を熔融するのにより多くのエネルギーが必要となる。

シリコン層23上にパターンを露光する代わりに、例えば近接マスク、コンタクトマスク又はフォトリソグラフィによりパターン化された堆積したマスク層により所望のパターンを規定することができる。

マスクングの変形例において、マスク層は例えば入射する放射を吸収又は反射することによりマスクの下側の領域での加熱を低減するように作用できる。或いは、適切な厚さの適当なマスク材料を用い場合、相補的な反射防止効果が実現され、付加的なエネルギーをマスク材料の下側の半導体膜に流入させることができる。例えば、

SiO<sub>2</sub>膜を用いてこの効果をシリコン膜に及ぼすことができる。この変形例は、マスク層が熔融した半導体材料に対する拘束部材として作用し、熔融半導体層が表面張力の作用により塊に凝集したり変形するのを防止する利点がある。

## 第2実施例

図4の露光装置は、エキシマレーザ41、プリズム偏向器42、集束レンズ43、真空チャンバ44及びサンプルを配置するホットステージ45を含む。

本発明の図4の露光装置を用いる第2の実施例において、図5のサンプル構造体は、基板50、熱酸化膜51、第1のパターン化されたアモルファスシリコン膜52、SiO<sub>2</sub>膜53、第2のパターン化されたシリコン膜54、及びさらに堆積したSiO<sub>2</sub>膜55を含む。典型的な厚さは、熱酸化膜51については100nmとし、アモルファスシリコン膜52については100nmとし、SiO<sub>2</sub>膜53については210nmとし、アモルファスシリコン膜54については120nmとし、SiO<sub>2</sub>膜55については170nmとする。

このサンプル構造体はシリコンウェハ50上の熱酸化膜51上に低圧化学気相堆積 (LPCVD) によりアモルファスシリコン膜52を堆積することにより得られる。シリコン膜52にフォトレジストをコートし、その後ステップにより露光し、現像し、さらにシリコン膜52をSF<sub>6</sub>/O<sub>2</sub>プラズマで反応性イオンエッチングを行いパターン形成を行う。シリコン膜52の第1レベルのアイランドの得られたパターンを図6Aに上方から見た図面として示す。このパターンは、デバイスとして使用される四角形の主アイランド領域523、矩形の「テイル」領域521、及びテイル領域521と主アイランド領域523とを結ぶ「ボトムネック」領域522の3つの領域で構成される。これらの寸法は以下のように選択する。テイル領域521については20×10μmとし、ボトムネック領域522については5×3μmとし、主アイランド領域521については10×10μmから50×50μmの範囲の異なる寸法とする。

第1レベルのアイランドにはプラズマエッチング気相堆積 (PECVD) によりSiO<sub>2</sub>膜53を形成し、上側にアモルファスシリコンを堆積する。フォトリソグラフィ処理を用いてアモルファスシリコンについてパターンニングを行い、5×5μmの寸法の「第2のレベルのアイランド」54を形成する。第2レベルのアイランド54はテイル領域521の上側に直接位置し露光中のビーム遮光区域として作用する。最後に、この構造体全体にPECVDのSiO<sub>2</sub>層を形成する。

処理を行うため、サンプルを10<sup>-5</sup>トールの圧力の真空チャンバ内の耐熱性グラファイトのホットステージ上に配置する。別の適当な加熱装置を利用できる場合、真空処理を省略することができる。基板温度が1000~1200°になるまで加熱を行い、これには約3分の立ち上がり時間を必要とする。露光する前にサンプルを最終的な基板温度に約2分間保持する。サンプルの温度は、直接取り

付けた熱電対により間欠的にモニタすると共にデジタルの赤外線サーモメータにより連続的にモニタする。サンプルは、単一のエキシマレーザパルスを用いてテイル領域内のビーム遮光領域区域以外の全ての第1のレベルのアイランドが完全に溶解するのに十分高いエネルギー密度で露光する。

微細構造の分析を行うため、露光したサンプルをセコウ (Secco) エッチングを行った。1150℃の基板温度で露光したサンプルの場合、セコウエッチングされたサンプルのノマルスキー顕微鏡写真は、20×20、40×40及び50×50μmのアイランドは単一結晶のアイランド (SC1) に完全に交換されているのを示している。エッチングされたサンプルの欠陥パターンは、主アイランド領域が、SLGの研究で認められている平面欠陥に加えて、ゾーンメルティングの再結晶化で観測されるものと同様な小角サブ境界を含むことを示唆している。1100℃のような低い基板温度の場合、20×20μmの小さいアイランドだけが大き角粒界のない単一結晶のアイランドに変換された。1050及び1000℃の一層低い基板温度の場合、20×20μmのアイランドに大き角粒界面が発生している。

この第2実施例の凝固過程は図6B～6Dに基づいて理解することができる。すなわち、露光に際して、第2レベルの四角形の領域54はこの領域に入射するビームエネルギーの大部分を遮光し、テイル領域521のビームが遮光された区域での完全な溶解が阻止される。露光された第1レベルの領域の残りの部分は、図6Bに示すように完全に溶解する。膜が基板を介して冷却されると、ビームが遮光された領域の液相-固相界面は冷却不足になり、シリコン粒子61がビーム遮光領域から外側に向けて急速に成長を開始する。テイル領域内において、多くの粒子61は素早く結びつき、1個又は数個の好ましく位置する粒子だけがボトルネック部522に向けて成長する。ボトルネック部522は、1個の粒子がボトルネック部を経て主アイランド領域523に拡張するような形態を有する。基板温度が十分に高く主アイランド領域523が急激に冷却された液中での凝集が防止されるほど小さい場合、ボトルネック部522を経て成長した1個の粒子の横方向の成長により主アイランド523全体が単一の結晶領域に変換される。

従って、主アイランド領域523の単一結晶形態への有用な変換は、基板温度とアイランド領域の大きさとの適切な組合せを必要とする。溶解したシリコンは、横方向凝固により完全に交換するために必要な特性時間よりも長い特定の体積を凝固させるための特性時間にわたって十分に高い温度に維持する必要がある。この特性変換時間は主として変換すべき距離すなわち主アイランドの横方向の寸法に依存するので、特性変換時間が液体中で凝固がトリガされる前に達成できる平均横方向成長距離に匹敵するようにアイランドの大きさを基板温度に関係付ける必要がある。ゾーンメルティング再結晶と比較し

て、本発明の技術は例えば100nm又はそれ以下の厚さの極めて薄い膜を再結晶させることができる。

ビームを阻止する代わりに、第1の実施例について説明したように、反射防止膜を用いて相補的なマスキングにより種領域を規定することができる。或いは、露光により種領域を規定することができる。

### 第3実施例

図7の投影露光装置は、エキシマレーザ71、ミラー72、可変焦点視野レンズ74、パターンが形成されたマスク75、2素子結像レンズ76、サンプルステージ77、及び可変減衰器78を含む。サンプル70はサンプルステージ77上に配置する。この装置を用いて鮮明なビームを発生させることにより、順次横方向凝集 (SLS) プロセスで単一結晶のシリコン領域を段階成長させることができる。或いは、近接マスク又は接触マスクを用いてビーム成形することができる。

図8のサンプル構造体は、基板80、熱酸化膜81、及びアモルファスシリコン膜82を有する。

以下の説明において、図9A～9F、第1の変形例の2個の例を示す図10A～10F及び第2の変形例を示す図11A～11Bを参照して第3実施例の技術を説明する。

本例において矩形にパターン化されているアモルファスシリコン膜82からスタートし (図9A)、2本の破線により境界されているシリコン膜82の領域91をパルスで露光し、この領域のシリコンを完全に溶解させ (図9B)、次に領域91の溶解シリコンを再凝固させる (図9C)。ここで、領域91は細条状とし、この領域91の露光はマスクされた露光により又は近接マスクを用いて行うことができる。領域91の溶解シリコンの再凝固に際し、2個の粒子列が領域91の破線の境界部から領域91の中央に向けて爆発的に成長する。2本の粒子列の成長は、最終の距離92に至る特有の横方向の成長である。領域91の残りの部分において、微細に粒子化した多結晶領域93が形成される。好ましくは、この細条の幅は、再凝固に際し2本の粒子列が集束することなく互いに近づくように選択する。本発明から除外されるものではないが、幅が広くなっても処理の効率に寄与することはない。幅を狭くすると望ましくない傾向にある。この理由は、以後の工程において長さを短くしなければならず、しかも凝固プロセス中に対向する方向から成長する粒子が一緒になる位置において半導体表面が不規則になる可能性があるためである。シリコン膜上に酸化キャップ層を形成し、凝集を遅くすると共にシリコン膜の表面の歪みを低減して表面を円滑にすることができる。

露光される隣接領域はマスク投影又は近接マスクに対してサンプルを結晶成長の方向にシフト (ステッピング) することにより規定される。シフトした (ステップ移動した) 領域94は図9Dの2本の破線により境界される。シフトする距離は、露光される次の領域が前回露光した領域と重なって図9Eに示すように一方の結晶の列が

部分的に熔融する間に他方の結晶の列が完全に熔融するように設定する。再凝固に際し、部分的に熔融している結晶の列は、する。9Fに示すように、一層長くなる。この態様において、露光される部分を繰り返しシフトすることにより、所望の長さの単一結晶粒子を成長させることができる。

露光された領域のパターンが単一細条でなく、図10Aの端銭で規定されるように山形形状10Iである場合、図10B~10Fに示す露光領域を同一の順序でシフトすることにより、シフトされた山形パターンの縁部の頂部から粒子の成長が拡大する。このようにして、単一結晶の領域を幅及び長さを増大しながら成長させることができる。

大面積の単一結晶領域は、図11Aに図示され、テイル領域11I、細いボトルネック領域112及び主アイランド領域113を有するパターン化されたアモルファスシリコン膜に順次シフト（ステップ状に）した露光領域を形成することにより成長させることができる。図11A~11Cの領域11I、112及び113の断面は、放射遮光アモルファス領域54及び第2の二酸化シリコン層55が存在しないことを除いて図5に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図11A~11Cの破線により境界された領域により図示されており、この図11はテイル領域11Iからボトルネック領域112を経て単一粒子を成長させて単一結晶のアイランド領域113を形成するための露光領域の順次の横方向シフト（ステップング）を示す。

図9A~9F、図10A~10F及び図11A~11Cの実施例の順次の横方向熔融及び再凝固は、水晶基板上にコートされ膜厚が100~240nmの二酸化シリコン上に化学気相堆積（CVD）により堆積したアモルファス膜について行っ

た。単一結晶細条の形成は、欠陥エッチングサンプルの光学式走査電子顕微鏡により確認した。

選択的なものとして、基板を加熱して熔融に必要なビームエネルギーを低減し又は1ステップ当りの横方向の成長距離を増大することができる。この利点は、図1に示すステージ上のサンプルを2方向からの露光により実現することができる。

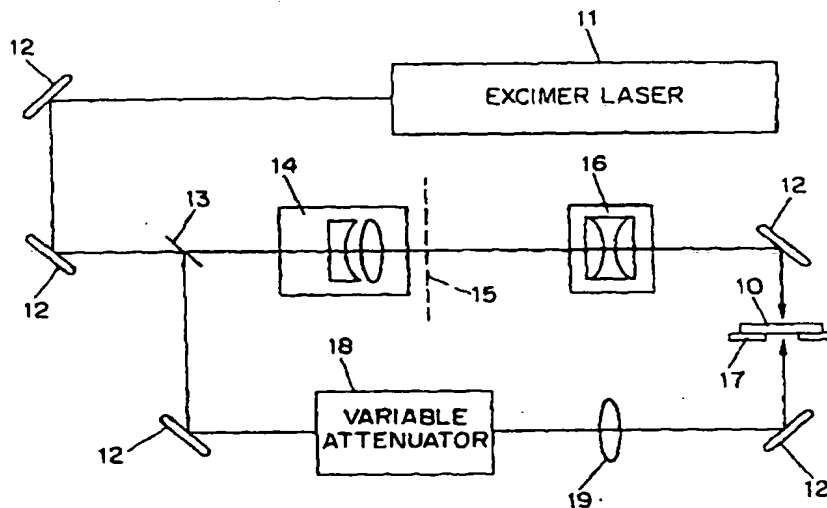
#### 別の処理及び用途

本発明により形成された半導体膜を用いることにより、例えばパターン規定、エッチング、不純物注入、絶縁層の堆積、コンタクト形成、及びパターン化された金属層の相互接続のような良好に確立された別の技術により集積化された半導体デバイスを製造することができる。好適な薄膜半導体トランジスタにおいて、少なくともアクティブチャネル領域は、例えば図3A及び3Bに示す単一結晶の規則的な又は少なくともほぼ規則的な微細構造を有する。

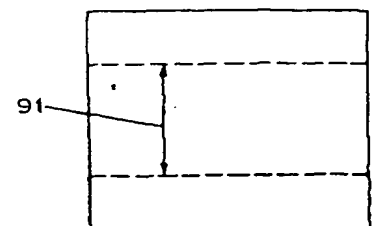
特に注目すべきことは、図12に線図的に示す液晶表示装置にこのようなTFTが含まれることである。このデバイスは、少なくとも表示窓部分12Iが透明な基板120を含む。この表示窓含む12Iは画素122の規則的なアレイを含み、各画素はTFT画素コントローラを含む。各画素コントローラはドライバ123により個別にアドレスされることができる。好ましくは、画素コントローラ及び/又はドライバ回路は本発明の技術に基づいて形成した半導体材料で形成する。

別の用途として、イメージセンサ、スタティックランダムアクセスメモリ（SRAM）、シリコン-オイルインシュレータ（SOI）デバイス、及び三次元集積回路デバイスが含まれる。

【第1図】

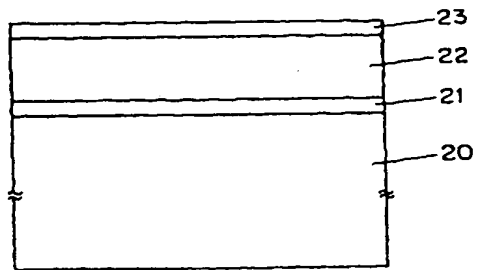


【第9A図】

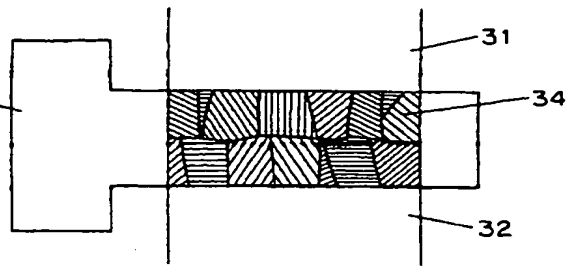




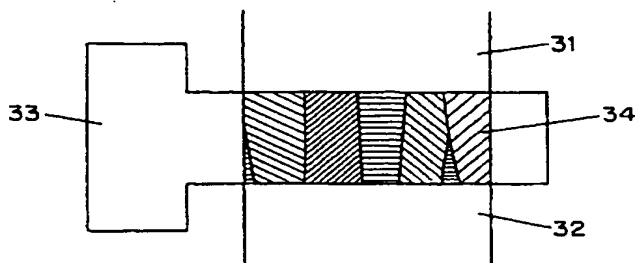
【第2図】



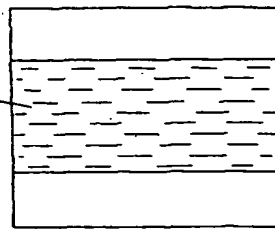
【第3A図】



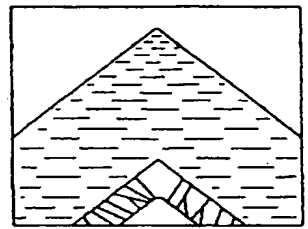
【第3B図】



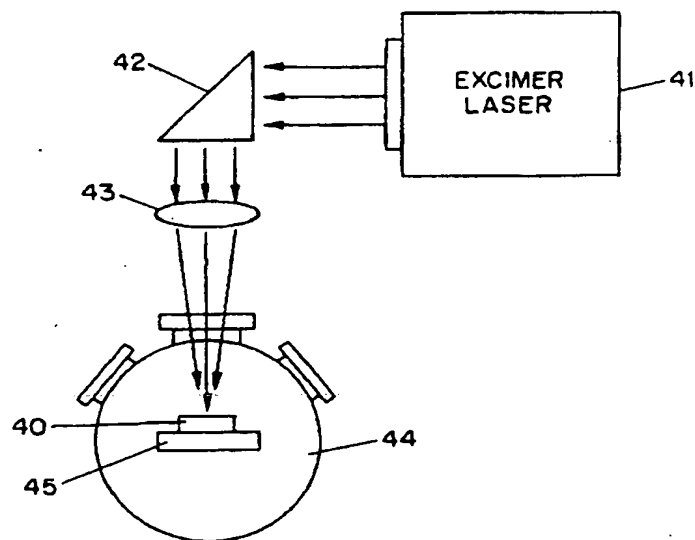
【第9B図】



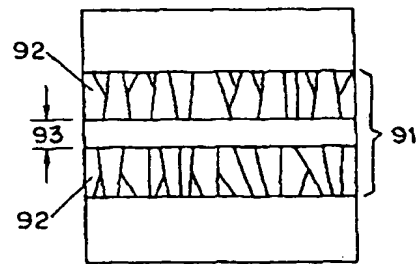
【第10E図】



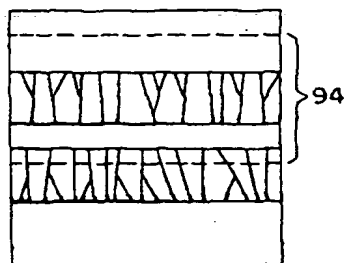
【第4図】



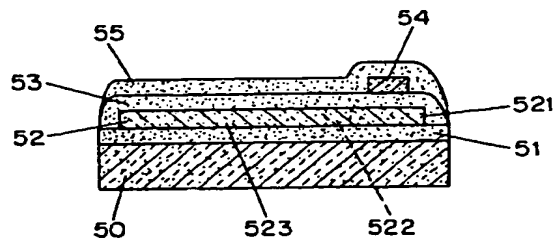
【第9C図】



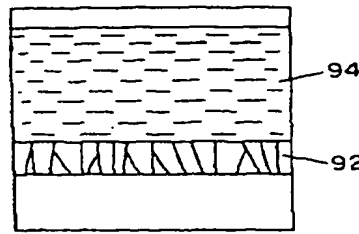
【第9D図】



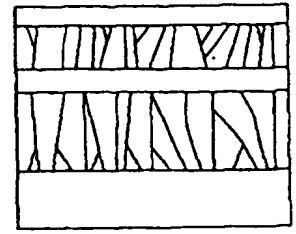
【第5図】



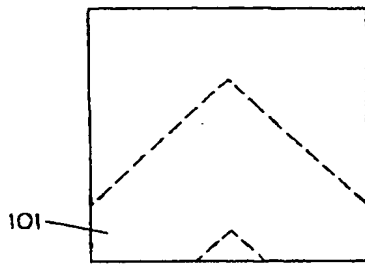
【第9E図】



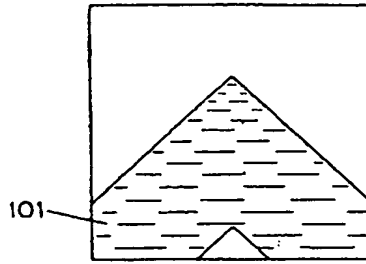
【第9F図】



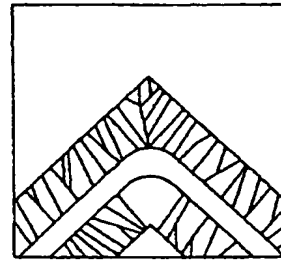
【第10A図】



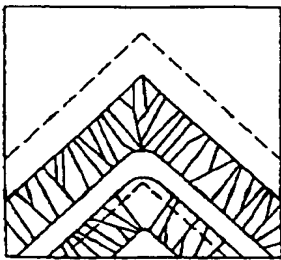
【第10B図】



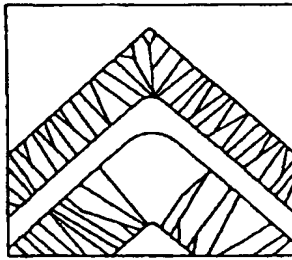
【第10C図】



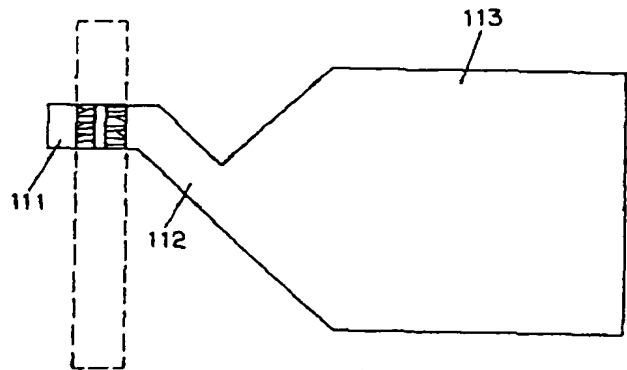
【第10D図】



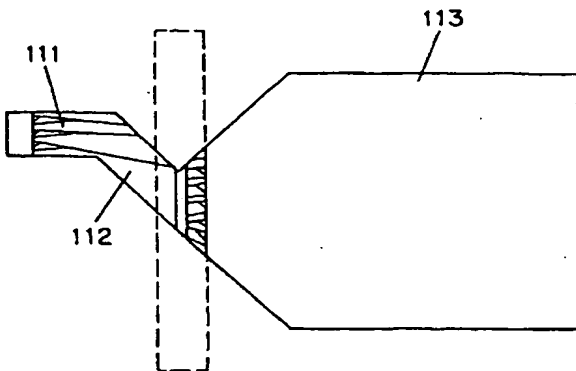
【第10F図】



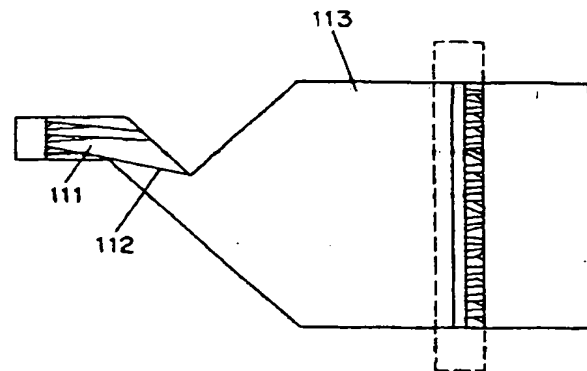
【第11A図】



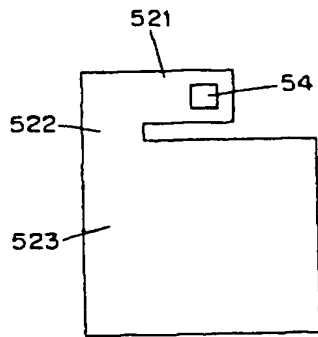
【第11B図】



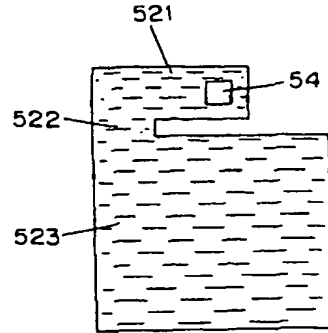
【第11C図】



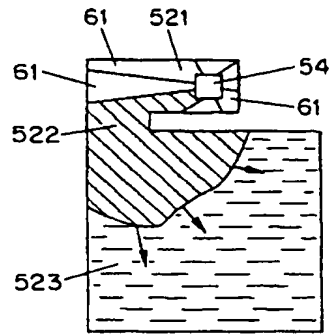
【第6A図】



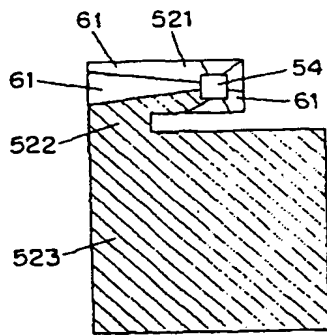
【第6B図】



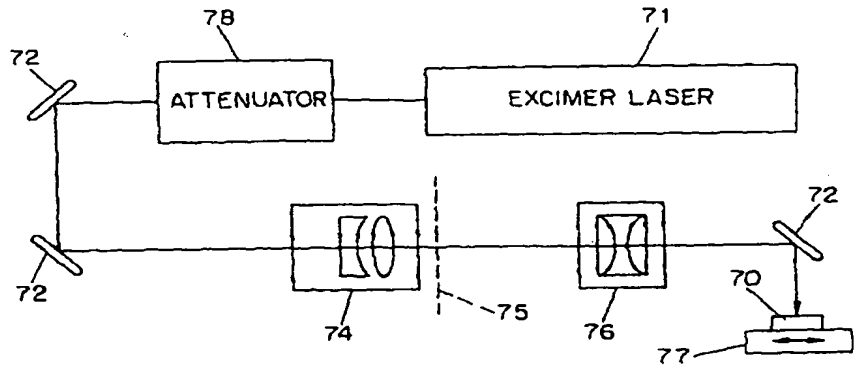
【第6C図】



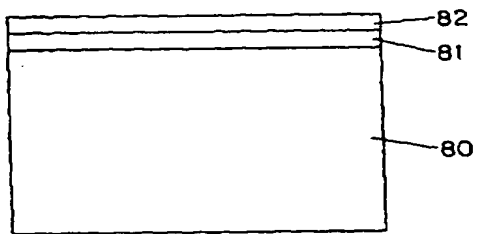
【第6D図】



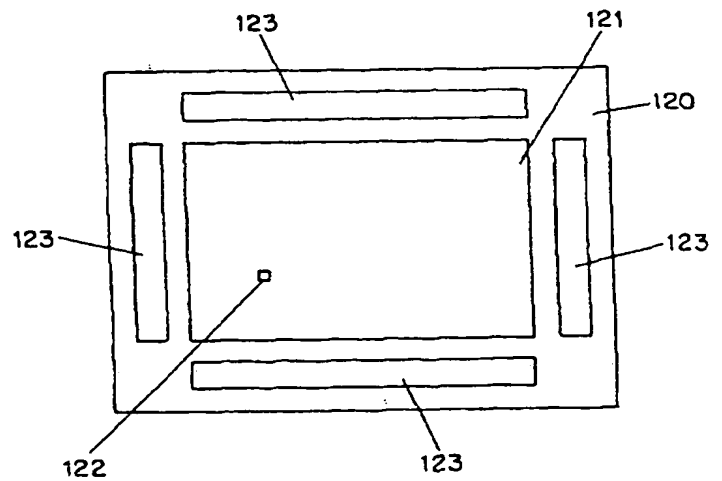
【第7図】



【第8図】



【第12図】



## フロントページの続き

(72) 発明者    イム   ジェイムス   エス  
                 アメリカ合衆国   ニューヨーク州  
                 10027-6699   ニューヨーク   ダブリュ  
                 ー   ワンハンドレッド   フォーティーン  
                 ス   ストリート520   アpartment  
                 ナンバー   74

(56) 参考文献    特開   平2-283036 (J P, A)  
                 特開   平6-252048 (J P, A)

(58) 調査した分野 (Int. Cl. 7, D B 名)  
                 H01L   21/20